

(19)日本国特許庁(JP)

(12)特 許 公 報 (B2)

(11)特許番号

第2586393号

(45)発行日 平成9年(1997)2月26日

(24)登録日 平成8年(1996)12月5日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	FI	技術表示箇所
H04N 5/335			H04N 5/335	P
H01L 27/148			H01L 27/14	B

請求項の数2(全7頁)

(21)出願番号 特願平5-308243

(22)出願日 平成5年(1993)12月8日

(65)公開番号 特開平7-162760

(43)公開日 平成7年(1995)6月23日

(73)特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 網井 史郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

審査官 関谷 隆一

(54)【発明の名称】 固体撮像素子の信号処理回路

1

(57)【特許請求の範囲】

【請求項1】 電荷検出回路、反転増幅回路、定電圧源とスイッチ素子よりなるクランプ回路、およびソース接地型のMOSトランジスタよりなる第2の反転増幅回路を備える固体撮像素子の信号処理回路において、前記クランプ回路の定電圧源の電圧を前記第2の反転増幅回路の構成要素であるMOSトランジスタのスレシホールド電圧と同一以上であって前記第2の反転増幅回路の動作可能電圧の中間電圧より低くしたことを特徴とする固体撮像素子の信号処理回路。

【請求項2】 電荷検出回路、反転増幅回路、ソースフォロフ回路および第2の反転増幅回路の出力と、前記ソースフォロフの入力端子間にスイッチ素子を設け、これによりフィードバック型クランプ回路を構成する固体撮像素子の信号処理回路において、前記クランプ回路の動

2

作電圧を前記第2の反転増幅回路の構成要素であるMOSトランジスタのスレシホールド電圧と同一または同一より高く、かつ前記第2の反転増幅回路の動作可能電圧の中間電圧より低くする事の特徴とする固体撮像素子の信号処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は固体撮像素子の処理回路に関し、特に出力信号のノイズを抑圧する信号処理回路10に関する。

【0002】

【従来の技術】 まず、リセット雑音の発生原理について説明する。リセット雑音は固体撮像素子、特にCCD型固体撮像素子の電荷検出に広く用いられている。フローティングディフュージョン型(以下FD型)電荷検出素

3

子やRing Junction Gate (RJG) 型電荷検出器を用いた場合に発生する雑音である。

【0003】ここで雑音発生メカニズムを説明するため、FD型電荷検出素子の動作について説明する。

【0004】FD型電荷検出素子は、拡散層上のコンデンサと、そのコンデンサをあらかじめ電源電圧等の一定電圧にリセットするリセットトランジスタで構成されている。

【0005】コンデンサはリセットを行った後、フローティング状態になっている。この状態で電荷転送素子から転送された信号電荷をコンデンサに注入するとコンデンサの電位はリセットされた時の電位から信号電荷量に比例して変化する。信号電荷が電子の場合、信号量はリセット後のフローティング状態を黒の基準として、電圧が下がる程、電荷量が多いといえる。この電位変化が出力信号として検出される。

【0006】図8はFD型電荷検出素子で発生するリセット雑音の発生メカニズムを説明するための図である。

【0007】図中のT1のタイミングでリセットトランジスタは導通状態である。この時、出力線には電源電圧とほぼ同じ電圧が発生されている。次にT2の時点でリセットトランジスタを導通状態からOFF状態に変化させる。この際、トランジスタのゲート下に溜まっていた電荷はリセットドレイン方向と検出容量方向に分配される。電荷検出容量側へ戻った電荷は検出容量の電位をリセットドレイン電圧より低い電圧に変化させる。以上の理由からリセット雑音は発生する。

【0008】リセット雑音の大きさは、周囲温度T、電荷検出コンデンサの容量、ゲート容量により決まる。詳しくは、IEDM-INTERNATIONAL ELECTRON DEVICE MEETING, Dec. 1-4, 1985, P. 452-455に発表されている。

【0009】このリセット雑音は500mV程度あり、電圧アンプ内蔵型のCCDイメージセンサでは出力信号よりも大きい。また、リセット雑音の振幅は出力信号に依存しないため、リセット雑音が出力信号に重畳していると、リセット雑音が信号処理回路のダイナミックレンジを制限してしまい、十分な信号振幅を得ることが難しい。特に、信号電圧が小さい場合、電圧アンプのゲインを高くした場合に問題となる。

【0010】そこで従来は図9に示すように、電荷検出部、電荷検出部で検出した信号に重畳しているリセット雑音と同一の信号を発生する回路を設け、差動増幅回路で各々の差をとることでリセット雑音をキャンセルしている。

【0011】

【発明が解決しようとする課題】従来の方法では電荷検出部の他に電荷検出部で発生するリセット雑音と同じ波形を発生するための回路を設ける必要があり、回路の占

4

有する面積が大きく、高密度のパターン設計には適していない。また、差動増幅により、リセット雑音を効率よく抑圧するためには、キャンセル回路をバランス良く配置配線する必要があり小型化に適していない。

【0012】さらに、差動増幅回路は複雑であるため、回路設計が難しい。といった問題がある。

【0013】

【課題を解決するための手段】これらの課題を解決するため、本発明では、電荷検出回路、反転増幅回路、低電圧源とスイッチ素子よりなるクランプ回路、およびドレインを出力とし、かつ抵抗または定電流源を解して電源に接続し、かつソース端子を接地し、かつゲートを入力とするMOSトランジスタよりなる第2の反転増幅回路、で構成された固体撮像素子の信号処理回路において、前記クランプ回路の定電圧源の電圧を前記第2の反転増幅回路の構成要素であるMOSトランジスタのスレシホールド電圧と同一または同一より高く、かつ前記第2の反転増幅回路の動作可能電圧の中間電圧より低くしている。

【0014】また、電荷検出回路、反転増幅回路、ソースフォロワ回路および前記第2の反転増幅回路の出力と、前記ソースフォロワの入力端子間にスイッチ素子を設け、これによりフィードバック型クランプ回路を構成する固体撮像素子の信号処理回路において、前記クランプ回路の動作電圧を前記第2の反転増幅回路の構成要素であるMOSトランジスタのスレシホールド電圧と同一または同一より高く、かつ前記第2の反転増幅回路の動作可能電圧の中間電圧より低くしている。

【0015】

【実施例】以下、実施例につき図面を用いて説明する。

【0016】図1は本発明の第1の実施例の回路図である。この回路は電荷検出回路9、クランプ回路10、2つの反転増幅回路14、15、ソースフォロワ11から構成されている。

【0017】つぎに、図を用いて各部の動作について詳しく説明する。図1において、電荷検出回路9（FD型電荷検出器）から出力された信号は反転増幅回路14を経て、クランプ回路10に入る。クランプ回路でオフセット電圧を変換したのち、第2の反転増幅回路15に入力される。第2の反転増幅回路でリセット雑音を抑圧した後、ソースフォロワ13で電流増幅して出力する。図2のA～Dは図1中に示したA～Dの各部の信号波形を示している。図1の回路にはリセットパルス、クランプパルスを加える。リセットパルスがハイレベル状態でリセットトランジスタは‘ON’となり、クランプトランジスタも同様にハイレベルで‘ON’となる。

【0018】クランプをする場所は黒レベルの基準となる部分で行う。黒レベルより高い電圧の部分はリセット雑音であり、本来不要な部分である。

【0019】次に第2の反転増幅回路でリセット雑音が

5

抑圧できることについて、図3を用いて説明する。図3に示した回路は第2の反転増幅回路の回路図である。ここで、トランジスタTr1、31、Tr2、32はNチャネルのMOS型FETである。ここに示したグラフは反転増幅回路の入出力電圧特性図である。この回路ではTr1は負荷抵抗として動作している。

【0020】この反転増幅回路はTr2のゲート電圧を0ボルトから徐々に昇圧して、Tr2のスレシホールド電圧 V_{t2} より高くすると、Tr2の g_{m2} （ゲート電圧に対する相互コンダクタンス）とTr1の g_{ds1} （ドレイン電圧に対するコンダクタンス）、Tr2の g_{ds2} の和の比によって決まる電圧ゲインAを持つ。

【0021】

$$A = \frac{-g_{m2}}{g_{ds1} + g_{ds2}}$$

【0022】33はCCDのアンプとして動作した際の入力信号波形であり、34は出力信号波形である。

【0023】この回路では入力信号の黒基準電圧を反転増幅器の入力トランジスタ32のスレシホールド電圧 V_{t2} と同じにして、黒基準電圧より低い電圧の信号（リセット雑音）が入力しても、Tr2が遮断領域での動作となり、OFF状態となることを利用してリセット雑音を抑圧している。

【0024】第1の実施例ではクランプ電圧をTr2のスレシホールド電圧と同じにすることで入力電圧を決定している。

【0025】リセット雑音を抑圧するためにはこのクランプ電圧をスレシホールド電圧より高く、かつ反転増幅器の動作範囲のおおむね中間電圧より低ければよい。

【0026】図4は本発明第2の実施例である。図1の回路と異なる点はクランプ回路にフィードバック型のクランプ回路を使用している点である。また、動作点（クランプされる電圧）の決定方法が第1の実施例と異なっている。

【0027】フィードバック型のクランプ回路の動作点（クランプ電圧）は図5の特性図に示したように入力信号と出力信号が同一の電圧になる点である。この点はグラフ中では傾き45度の直線上にあることは容易に理解できる。

【0028】リセット雑音を抑圧する場合、この動作点を実施例1と同じようにTr4がOnになる電圧に設定する必要がある。これは、この判定増幅器の特性がグラフ中のYの曲線とすることである。

【0029】グラフ中のXの曲線はTr3のゲート電圧を電源電圧にした場合の入出力電圧特性である。この曲線をY曲線にするためにはV1を電源電圧よりも低くする事で達成できる。

【0030】Tr3のゲート電圧を下げるとTr3を流れる電流が減少する。このため、反転増幅回路の出力電

6

圧は下がる。V1の電圧を下げることで動作点の設定が可能であることがわかった。

【0031】以上に示したような方法で回路の設計を行う。

【0032】図6は第2の実施例と類似した動作点の設定例である。図6の回路では第2の反転増幅回路の負荷トランジスタ51のゲート電圧を下げる代わりに、フィードバックループ内のソースフォロワの特性を変化させることで動作点を決めている。Tr5のゲート電圧を変えることによってソースフォロワを流れる電流の量が変化する。それに伴い第2の反転増幅回路への入力電圧が変化して動作点を図6のグラフに示したように変更することができる。

【0033】同サテンの決定方法は実施例2、実施例1と同じである。

【0034】本発明の本質は実施例1から実施例3に示したとおり、反転増幅回路の入力電圧を図3に示した動作点に変更している点にある。実施例1では動作点を変更するためにクランプ回路のクランプ電圧の設定を行っているが、クランプ回路によって動作点を変更する方法以外にも本特許の応用は考えられることは実施例2、3からも理解できよう。

【0035】以上からも明らかなように、本特許の本質はインバータアンプの動作点をどこに決定するかということにあり、その方法は実施例記載の回路構成に限定されないことは明かである。本特許と同一であるかどうかの判断は、反転増幅アンプに入力されるリセット雑音が反転増幅アンプの能動トランジスタの遮断領域（ $V_{G-VT} \leq 0$ ）にあるかどうかにより判断できる。

【0036】

【発明の効果】本発明を用いる事により、従来必要だったリセット雑音と同等の信号を発生するための回路、差動増幅器が必要なくなる。これらにより、リセット雑音を抑圧するために必要な回路の占有面積が従来の2/3程度に縮小する事ができる。

【0037】また、差動増幅回路の設計を行う必要性がなくなり、同等の性能を得るために必要とする設計時間を短縮する事が可能となる。

【図面の簡単な説明】

【図1】本発明、第1の実施例の回路図である。

【図2】図1の各部の信号波形を説明するための図である。

【図3】本発明の動作点の決定方法を示した動作説明図である。

【図4】本発明、第2の実施例の回路図である。図1とはクランプ方法が異なっている。

【図5】本発明第2の実施例を用いた際の動作点の設計方法を説明するための図である。

【図6】本発明第3の実施例を用いた際の動作点の設計方法を説明するための図である。

7

【図7】CCDイメージセンサの出力信号処理回路のブロック図である。

【図8】リセット雑音の発生メカニズムを説明するための電荷検出部の断面構造図である。

【図9】従来のリセット雑音抑圧回路の回路図である。

【符号の説明】

9 電荷検出回路

10 クランプ回路

11 リセットトランジスタ

12 電荷検出容量

13 ソースフォロワ

14 反転増幅回路

15 第2の反転増幅回路

16 クランプトランジスタ

17 クランプ電圧源

18 クランプコンデンサ

19 リセットパルス

20 クランプパルス

22 リセット雑音

23 基準電圧（黒レベル）

24 信号電圧

8

31 負荷トランジスタ

32 能動トランジスタ

33 入力波形

34 出力波形

35 Tr2のスレシホールド電圧 (V_{t2})

41 フィードバッククランプ回路

42 反転増幅回路負荷Trゲート電圧

51 反転増幅回路負荷トランジスタ (Tr3)

52 反転増幅回路能動トランジスタ (Tr4)

10 60 ソースフォロワ負荷トランジスタ

81 リセットゲート

82 リセットドレイン

83 CCD出力ゲート

84 電荷検出容量

85 N型基板

86 P型ウェル

87 N型ウェル

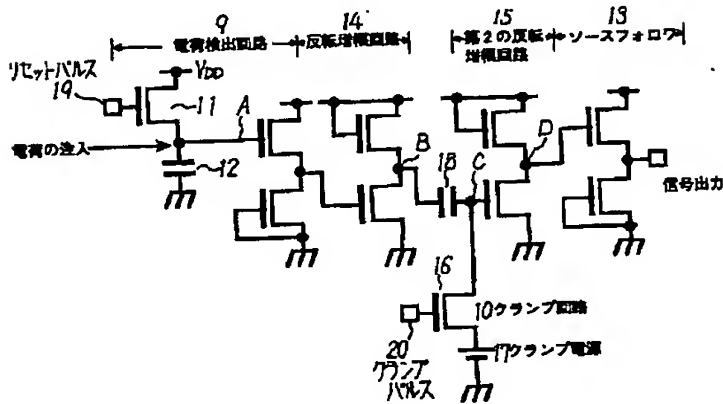
88 分配雑音

89 リセットドレイン

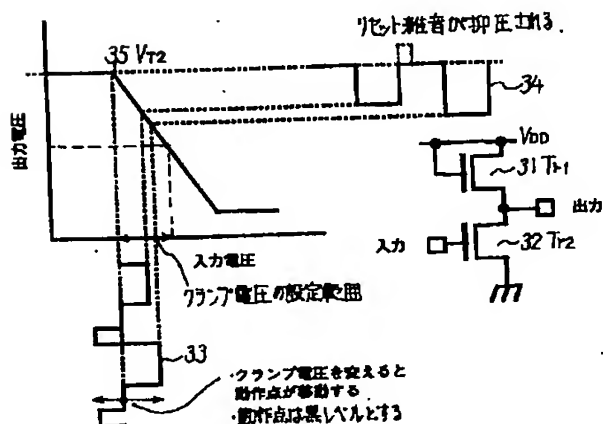
20 90 黒基準電圧

91 差動増幅部

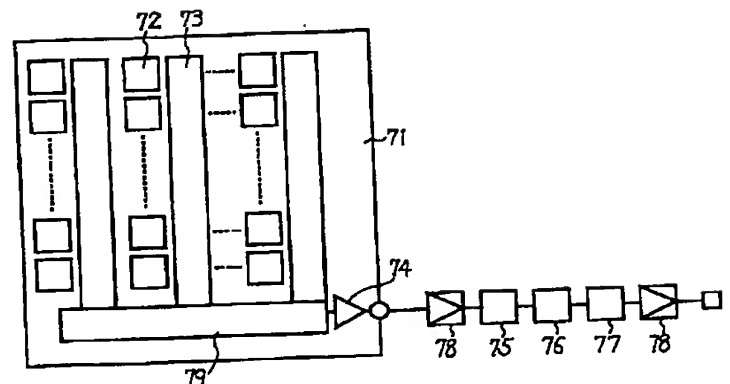
【図1】



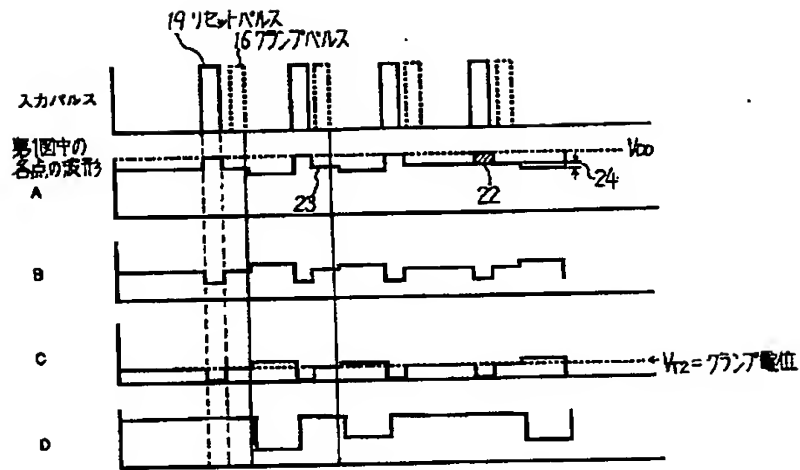
【図3】



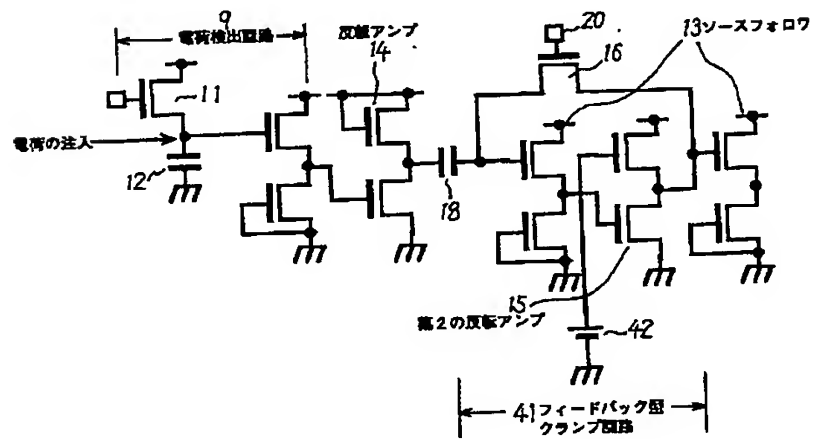
【図7】



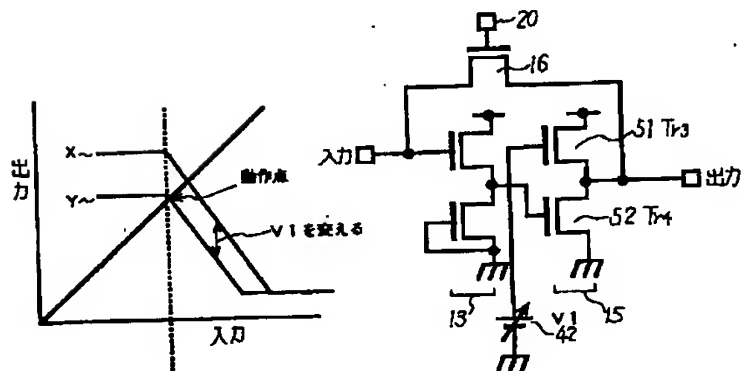
【図2】



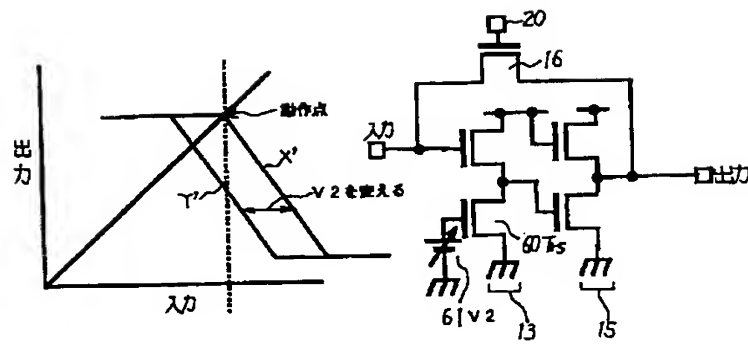
【図4】



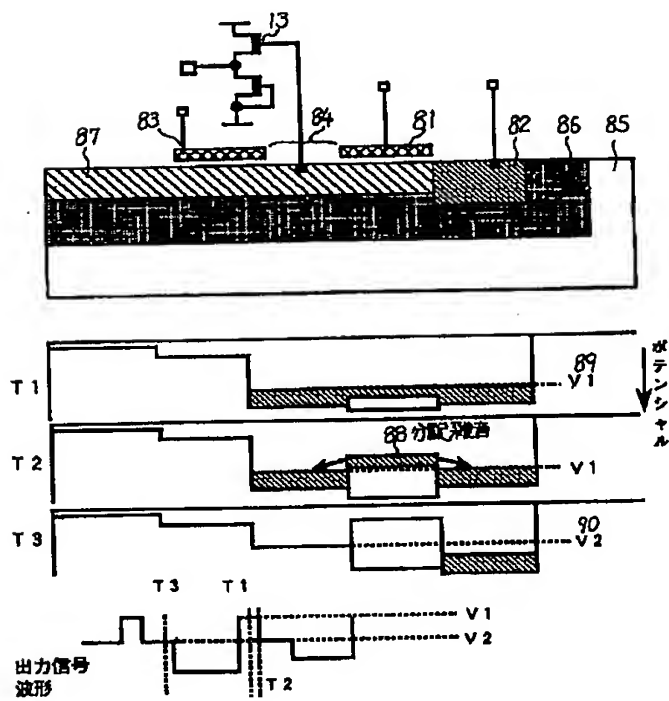
【図5】



【図6】



【図8】



【図9】

